

密级状态： 绝密() 秘密() 内部资料() 公开(✓)

Rockchip RK182X M.2 2280 Module

硬件设计指南

(福州硬件开发中心)

文件状态： ☐ 草稿 ☐ 正在修改 ☒ 正式发布	当前版本：	V1.0
	作 者：	福州硬件开发中心
	完成日期：	2025-11-6
	审 核：	Team
	审核日期：	2025-10-10



免责声明

本文档按“现状”提供，瑞芯微电子股份有限公司（“本公司”，下同）不对本文档的任何陈述、信息和内容的准确性、可靠性、完整性、适销性、特定目的性和非侵权性提供任何明示或暗示的声明或保证。本文档仅作为使用指导的参考。

由于产品版本升级或其他原因，本文档将可能在未经任何通知的情况下，不定期进行更新或修改。

商标声明

Rockchip、Rockchip™ 图标、瑞芯微和其他瑞芯微商标均为瑞芯微电子股份有限公司的商标，并归瑞芯微电子股份有限公司所有。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

版权所有 © 瑞芯微电子股份有限公司 2025

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

瑞芯微电子股份有限公司

Rockchip Electronics Co., Ltd.

地址：福建省福州市铜盘路软件园 A 区 18 号

网址：www.rock-chips.com

客户服务电话：+86-4007-700-590

客户服务传真：+86-591-83951833

客户服务邮箱：fae@rock-chips.com



前言

概述

本文档主要针对 RK182X_M.2 2280_Module 外围硬件设计作一个说明，旨在帮助硬件工程师能更快、更准确的完成 RK182X_M.2 2280_Module 外围电路的设计，以便快速的适配 RK182X_M.2 2280 模组。

产品版本

本文档对应的产品版本如下：

产品名称	产品版本
RM1820MC0	RK182X M.2 2280 Module_V10
RM1828MC0	RK182X M.2 2280 Module_V10

适用对象

本文档主要适用于以下工程师：

- 硬件开发工程师
- Layout 工程师
- 技术支持工程师
- 测试工程师

修订记录

修订记录累积了每次文档更新的说明。

版本	修改人	修改日期	修改说明	备注
V1.0	福州硬件开发中心	2025-11-6	初始版本	

目录

前言	II
目录	IV
插图目录	V
表格目录	VI
1 RK182X M.2 2280 模组概述	1
1.1 RK182X M.2 2280 模组简介	1
1.2 RK182X M.2 2280 模组基本规格	1
1.3 RK182X M.2 2280 模组硬件框图	2
1.4 RK182X M.2 2280 模组底板接口	3
1.4.1 接口选型	3
1.4.2 M.2 2280 模组与底板连接器接口信号定义	3
1.4.3 M.2 2280 模组 3D 结构图	4
1.4.4 M.2 2280 模组尺寸高度信息	5
2 RK182X M.2 2280 模组作为协处理器加速卡的应用框图	6
3 RK182X M.2 2280 模组底板硬件电路设计说明	6
3.1 输入电源	6
3.2 复位控制	8
3.3 PCIe2.1	8
4 RK182X M.2 2280 模组热设计建议	11
4.1 模组散热设计	11
4.2 散热设计文档	11
5 RK182X M.2 2280 模组 PCB 设计建议	12
5.1 模组高速接口 PCB 设计建议	12
5.1.1 PCIe2.1 PCB 设计	12
6 注意事项	13

插图目录

图 1-1 RK182X M.2 2280 PCBA-正面	1
图 1-2 RK182X M.2 2280 PCBA--背面	1
图 1-3 RK182X M.2 2280 硬件框图	2
图 1-4 连接器实物图	3
图 2-1 RK182X M.2 模组应用框图	6
图 3-1 RK182X 模组 12V 电源输入	7
图 3-2 底板 12V 电源输入接口座	7
图 3-3 12V 电源底板和模组连接示意图	7
图 3-4 12V DC 连接头	8
图 3-5 RK182X 模组复位脚	8
图 3-6 RK182X 模组复位路径	8
图 3-7 RK182X M.2 2280 PCIe/U3 Controller 和 PHY 的映射图	9
图 3-8 RK182X 模组与 HOST 通信交互接口	9
图 3-9 RK182X 模组 PCIe0 接口	9
图 4-1 RK182X 模组散热器-正面	11
图 4-2 RK182X 模组散热器 -背面	11
图 4-3 RK182X 模组风扇控制	11

表格目录

表 1-1 模组基本规格.....	1
表 1-2 模组信号说明.....	3
表 1-3 接口连接器.....	3
表 3-1 RK182X M.2 2280 PCIe0 信号描述及连接	10
表 5-1 布线要求-PCIe2.1.....	12

1 RK182X M.2 2280 模组概述

1.1 RK182X M.2 2280 模组简介

RK182X M.2 2280 Module 是一个高性能的算力协处理器模组，可支持 3B/7B 大模型(RK1820 支持 3B 大模型,RK1828 支持 7B 大模型)，适用于 AI 推理，机器视觉应用，特别是人工智能相关应用。

模组搭载了瑞芯微算力协处理器 RK182X，算力高达 20TOPS@INT8，有三个独立的 64 位 RISC-V 核心，RK182X 内置高带宽片内 DRAM，其中 RK1820 DRAM 容量为 2.5GB，RK1828 DRAM 容量为 5GB，支持 PCIe2.1 通信接口。

模组采用 M.2 Key M 金手指接口，尺寸为 22mm x80mm，客户只需要简单的设计开发底板，模组即可集成到各类边缘或嵌入式设备中，实现快速开发及其应用。如下是 RK182X M.2 2280 模组的实物图：

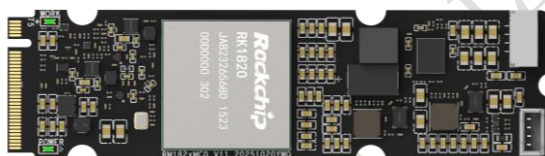


图 1-1 RK182X M.2 2280 PCBA-正面

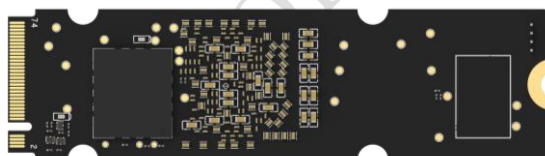


图 1-2 RK182X M.2 2280 PCBA--背面

1.2 RK182X M.2 2280 模组基本规格

表 1-1 模组基本规格

	规格参数
SOC	Rockchip RK182X
CPU	3 核 RISC-V : SRV, VRV0 和 VRV1 SRV 采用 RV64GCB ISA 实现, VRV0 和 VRV1 采用 RV64GCBV ISA 实现 所有核心均具有 32KB L1 I-Cache, 32KB L1 D-Cache 以及 128KB L2 cache 其中 VRV0 和 VRV1 集成了 128 位矢量单元
NPU	20TOPS@INT8 支持 INT4/INT8/INT16/FP8/FP16/BF16 运算
RAM	RK182X 内置高带宽 DRAM, RK1820 DRAM 容量为 2.5GB, RK1828 DRAM 容量为

	规格参数
	5GB 具有数百 GB 带宽
ROM	eMMC 32GB (OPTION)
JPEG 编码	支持 Baseline (DCT 顺序) 支持 JPEG 文件交换格式 1.02 支持图像尺寸从 16x16 到 65520x65520 支持 YUV400/YUV420/YUV422/YUV444
JPEG 解码	支持 Baseline (DCT 顺序) 支持 JPEG 文件交换格式 1.02 支持图像尺寸从 48x48 到 65520x65520 支持 YUV400/YUV420/YUV422/YUV440/YUV411/YUV444/RG888/RGB565
高速扩展接口	1 x PCIe0 支持 EP 和 RC 模式, 支持 PCIe EP boot
电源	12V/3A (底板单独座子提供), 3.3V/3W 底板 M.2 座子提供
模组接口	M.2 Key M Connector
模组尺寸	22mm x 80mm
工作环境	-10℃~55℃
软件支持	PC 端开发套件 (RKNN3 Toolkit)、板端运行 API (RKNN3 Runtime) 以及模型转换部署示例 (RKNN3 Model Zoo) 等。

1.3 RK182X M.2 2280 模组硬件框图

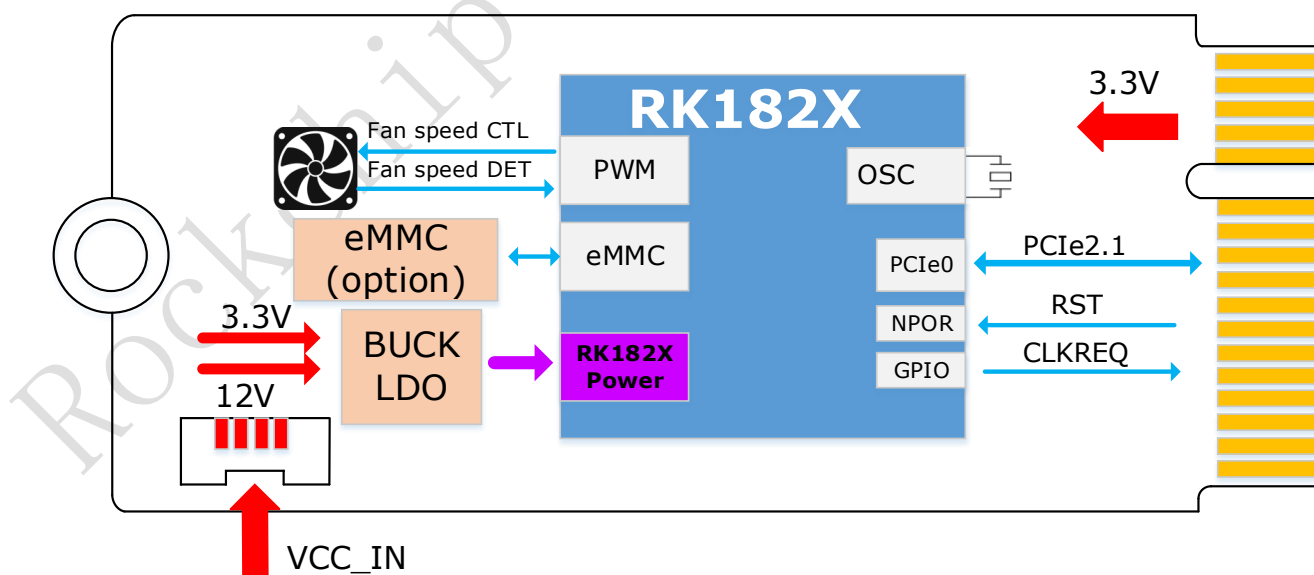


图 1-3 RK182X M.2 2280 硬件框图

具体硬件接口说明如下：

表 1-2 模组信号说明

RK182X M.2 2280		
接口	配置	备注
输入电源	由底板提供 12V 和 3.3V	12V/3A、3.3V/3A
RAM	芯片内置	RK1820 容量：2.5GB RK1828 容量： 5GB
通信接口	PCIe2.1	默认使用此接口与 HOST 端通信，支持 boot

1.4 RK182X M.2 2280 模组底板接口

1.4.1 接口选型

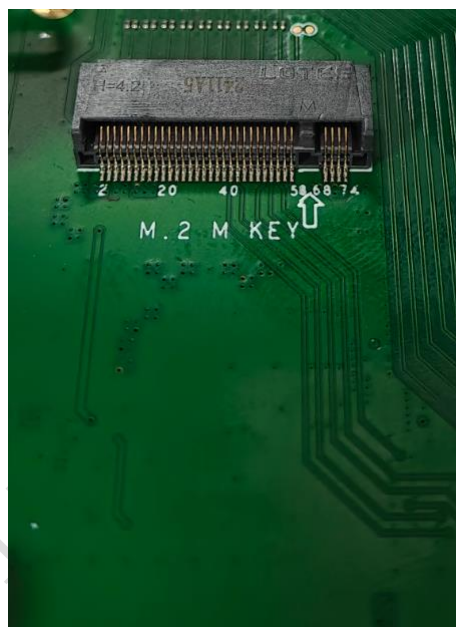


图 1-4 连接器实物图

RK182X M.2 2280 模组采用 M.2 Key M 连接器,连接器型号示例见下表

表 1-3 接口连接器

高度	型号	品牌	名称
≥4.2mm	FM205003 Series	TXGA	FM205003 Series
注：上述型号为 RK 开发板已验证型号，仅供参考，后续还会验证其他型号连接器			

1.4.2 M.2 2280 模组与底板连接器接口信号定义

RK182X M.2 2280 模组与底板连接器接口信号定义见附件文档：《RK1820 M.2 Module PinList_V1.0_20251025.xlsx》

对应的接口原理图封装和 PCB 封装见附件文件：RK182X M.2 2280 Module 接口原理图和 PCB 封装

RK1820 M.2_2280 Module 是按 KEY M 设计，规范定义如下

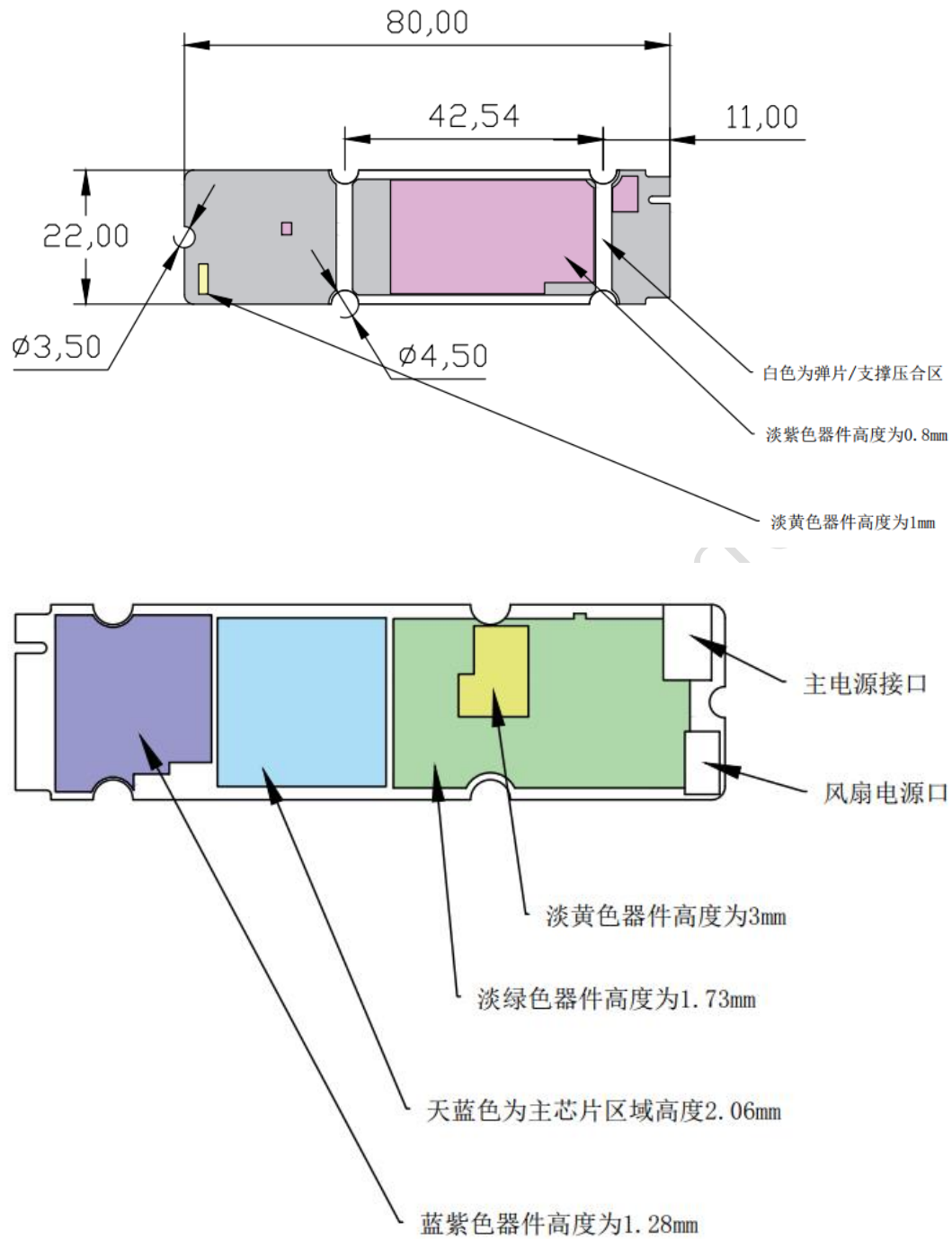
Table 5-8. Socket 3 SSD Pinout (Mechanical Key M) On Platform

Pin	Signal	Signal	Pin
		GND	75
74	3.3 V	VIO_CFG (I) or GND	73
72	3.3 V		
70	3.3 V	GND	71
68	SUSCLK (O)(0/1.8V/3.3V)	PEDET = GND (SATA), PEDET = NC (PCIe)	69
	CONNECTOR Key M	NC	67
	CONNECTOR Key M	CONNECTOR Key M	
	CONNECTOR Key M	CONNECTOR Key M	
	CONNECTOR Key M	CONNECTOR Key M	
	CONNECTOR Key M	CONNECTOR Key M	
58	NC	GND	57
56	NC		
54	PEWAKE# (I/O)(0/1.8V/3.3V) or NC	REFCLKp	55
52	CLKREQ# (I/O)(0/1.8V/3.3V) or NC	REFCLKn	53
50	PERST# (O)(0/1.8V/3.3V) or NC	GND	51
48	NC	PETp0/SATA-A+	49
46	NC	PETn0/SATA-A-	47
44	ALERT# (I) (0/1.8V)	GND	45
42	SMB_DATA (I/O) (0/1.8V)	PERp0/SATA-B-	43
40	SMB_CLK (I/O)(0/1.8V)	PERn0/SATA-B+	41
38	DEVSLP (O) (SATA) or GND (USB)	GND	39
36	USB_D- or NC	PETp1	37
34	USB_D+ or NC	PETn1	35
32	NC or GND (USB)	GND	33
30	PLA_S3# (I)(0/1.8/3.3V) or NC	PERp1	31
28	NC	PERn1	29
26	NC	GND	27
24	NC	PETp2	25
22	VIO 1.8 V or NC	PETn2	23
20	NC	GND	21
18	3.3 V	PERp2	19
16	3.3 V	PERn2	17
14	3.3 V	GND	15
12	3.3 V	PETp3	13
10	DAS/DSS (I/O)LED_1# (I)(0/3.3V)	PETn3	11
8	PLN# (O)(0/1.8/3.3V) or NC	GND	9
6	PWRDIS (O)(0/1.8/3.3V) or NC	PERp3	7
4	3.3 V	PERn3	5
2	3.3 V	GND	3
		GND	1

1.4.3 M.2 2280 模组 3D 结构图

RK182X M.2 2280 模组 3D 结构图见附件文件夹：04.RK182X M.2 2280 Module 3D 结构图

1.4.4 M.2 2280 模组尺寸高度信息



2 RK182X M.2 2280 模组作为协处理器加速卡的应用框图

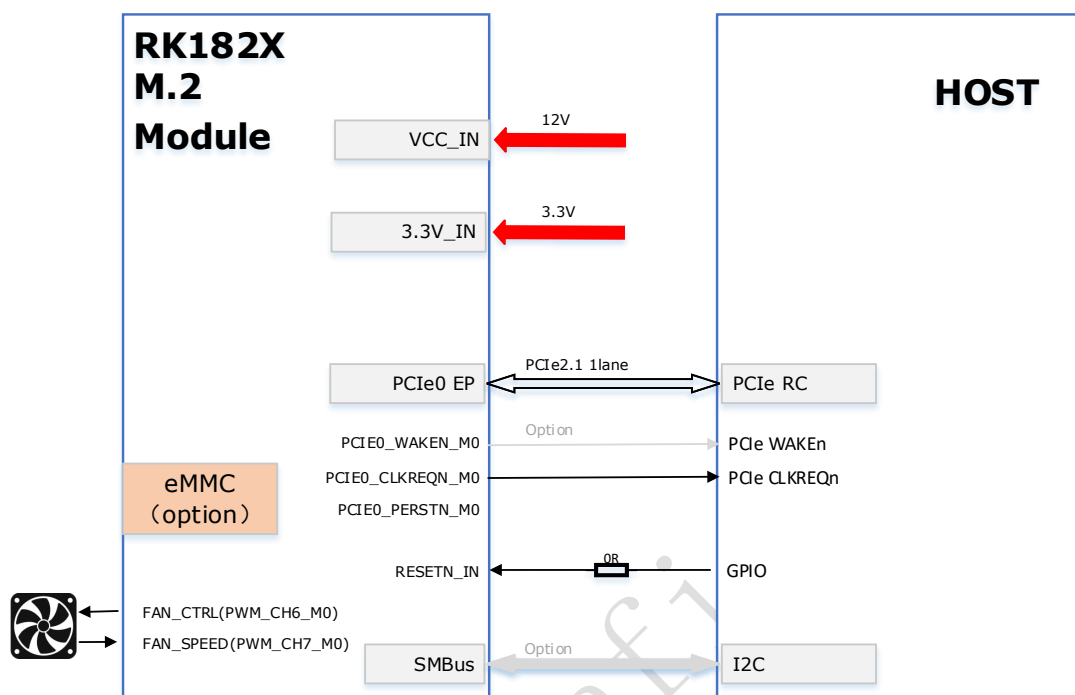


图 2-1 RK182X M.2 模组应用框图

3 RK182X M.2 2280 模组底板硬件电路设计说明

3.1 输入电源

RK1820 M.2_2280 Module 需要底板额外给模组提供 12V 电源，所以在底板上需要单独提供 12V/3A 的电源供电。

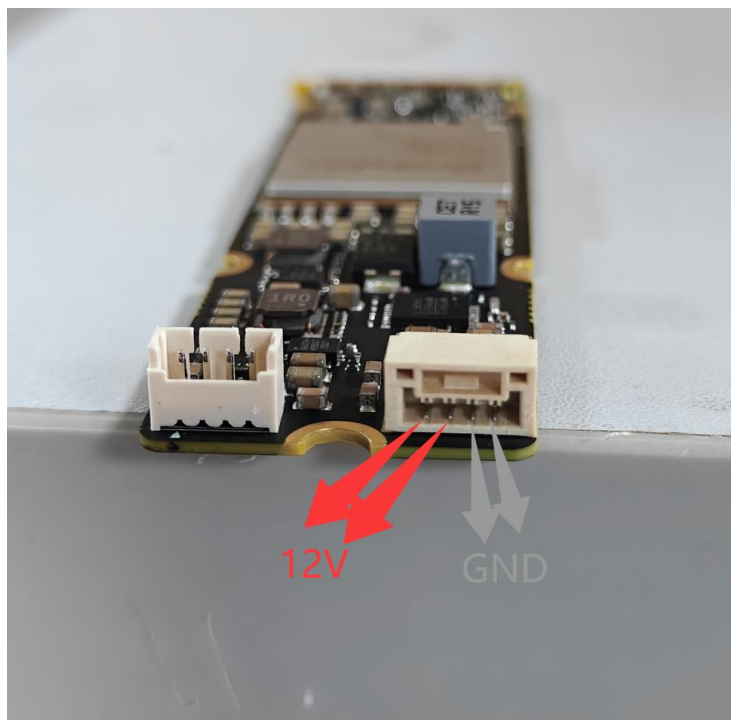


图 3-1 RK182X 模组 12V 电源输入

RK 默认此 12V 电源转接线，此接口转成 2.54PIN 间距的转接线，底板接口座和转接示意图如下：

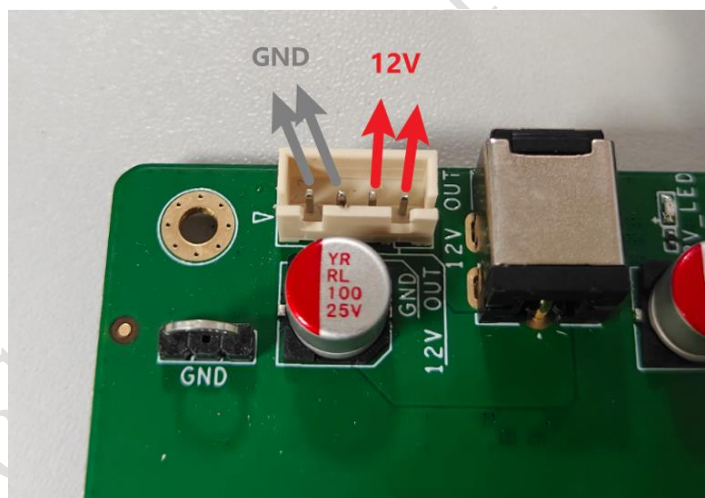


图 3-2 底板 12V 电源输入接口座

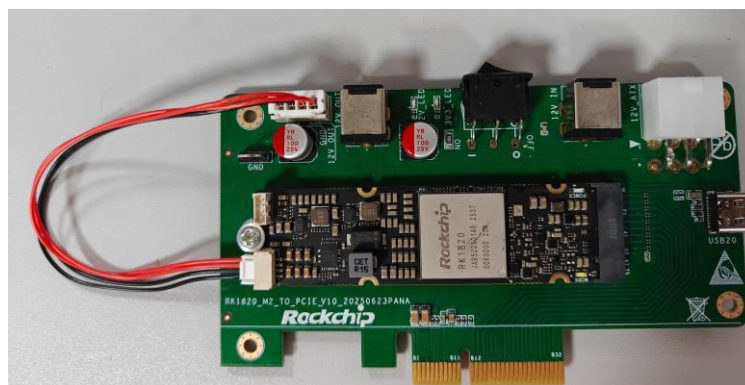


图 3-3 12V 电源底板和模组连接示意图

此外，RK 也有提供如图示的 DC 座转接线，方便客户适配 DC 插头进行调试：



图 3-4 12V DC 座转接线

3.2 复位控制

PIN50 为模组的复位输入脚，低有效，使用 HOST 端 GPIO 控制

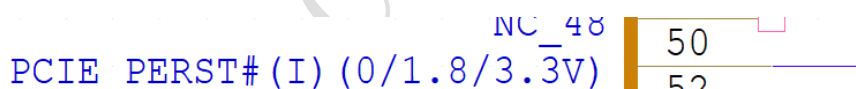


图 3-5 RK182X 模组复位脚

注：模组与 HOST 通过 PCIe 作为通信接口时，复位路径如下图：

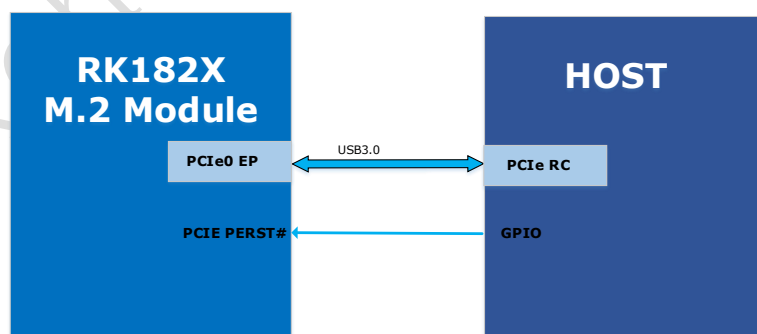


图 3-6 RK182X 模组复位路径

3.3 PCIe2.1

RK182X M.2 2280 模组有 2 个 PCIe2.1 接口，都支持 RC 和 EP 模式，PCIe2.1 与 USB3.0 的 PHY 是复用的。

对应的 Controller 和 PHY 之间的映射关系图如下：

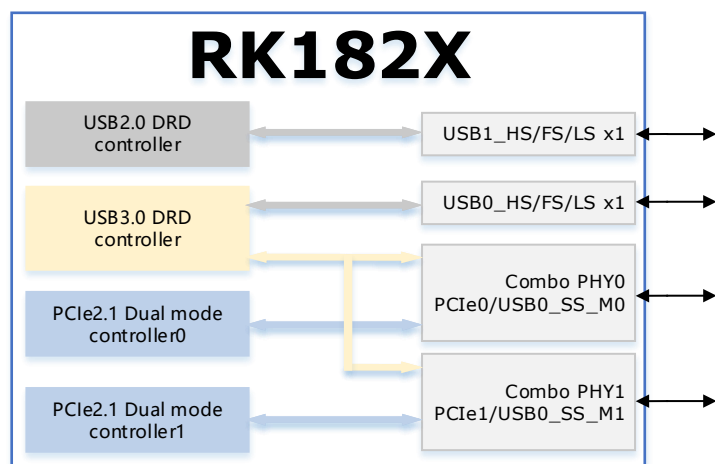


图 3-7 RK182X M.2 2280 PCIe/U3 Controller 和 PHY 的映射图

RK182X M.2 2280 模组可通过 PCIe0/USB3.0 Comb PHY 和 HOST 进行通信交互，如下示意图

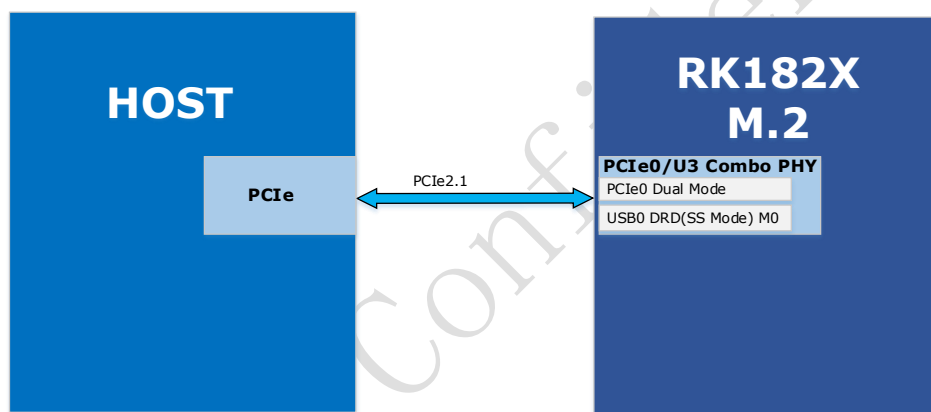


图 3-8 RK182X 模组与 HOST 通信交互接口

可通过 PCIe0 与 SoC 主芯片通信，PCIe0 支持 Boot, 模组上接口如下：

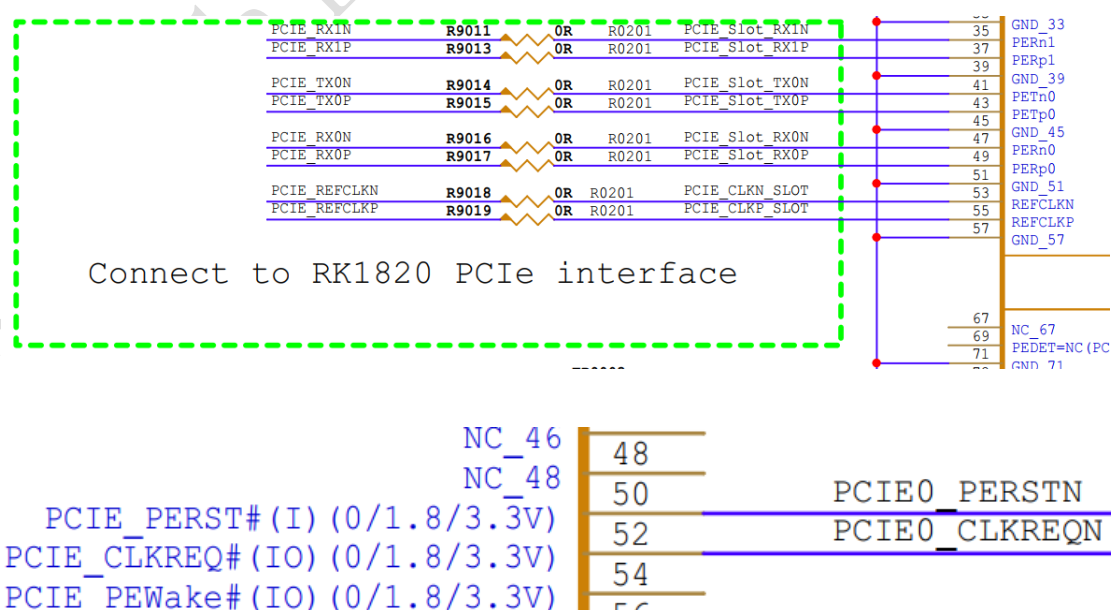


图 3-9 RK182X 模组 PCIe0 接口

PCIe 控制信号描述及其连接方式:

表 3-1 RK182X M.2 2280 PCIe0 信号描述及连接

控制信号	连接方式	说明
PCIE_TXP/TXN	直连	PCIe 数据输出 (模组上已串 100nF 电容)
PCIE_RXP/RXN	串接 100nF(0201)电容	PCIe 数据输入
PCIE_REFCLKP/CLKN	直连	PCIe 参考时钟输入或输出
PCIE_PERSTN_M* (SoC 主芯片端控制信号可以用 GPIO 代替)	直连	PCIe 全局复位输入 (EP 模式)
PCIE0_CLKREQN_M* (SoC 主芯片端控制信号必须用对应的功能口)	直连	PCIe 参考时钟请求输出 (EP 模式)

4 RK182X M.2 2280 模组热设计建议

4.1 模组散热设计

良好的热设计对 RK182X M.2 2280 模组性能的提高、系统的稳定性、产品的安全性尤其重要。
RK182X M.2 2280 模组默认通过风冷进行主动散热，模组加风扇的实物图如下：

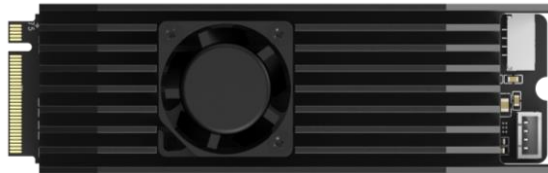


图 4-1 RK182X 模组散热器-正面

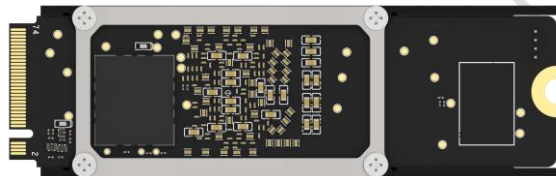


图 4-2 RK182X 模组散热器 -背面

RK1820 M.2_2280 Module 风扇接口设计在模组上,底板不需要额外设计相关电路,RK 默认配置风扇,风扇使用 PWM 信号控制,控制方式如下:

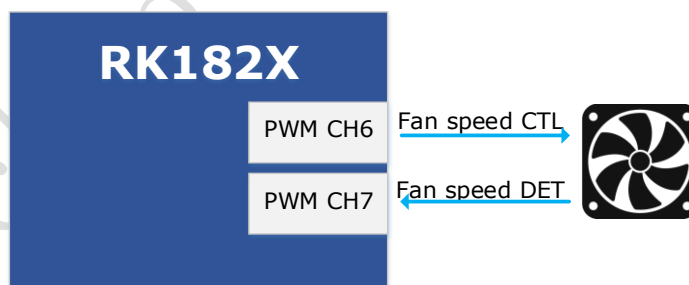


图 4-3 RK182X 模组风扇控制

4.2 散热设计文档

RK 默认配置主动散热风扇,客户可直接使用,若产品结构限制/其他需求需要另外设计散热组件,可参考 RK 提供热设计指南文档《Rockchip RK182X M.2 Module 热设计指南》进行设计。

5 RK182X M.2 2280 模组 PCB 设计建议

5.1 模组高速接口 PCB 设计建议

5.1.1 PCIe2.1 PCB 设计

表 5-1 布线要求-PCIe2.1

参数	要求
走线阻抗	差分 85ohm $\pm 10\%$
差分对内最大时延差	<6mil
差分对间等长要求	<6inches
走线长度	<6inches
电容要求	100nF $\pm 20\%$, 建议用 0201 封装
差分对间间距 (airgap)	建议大于等于 4 倍 PCI-E 线宽
差分对内最大时延差(REFCLK)	<12mil
走线阻抗(REFCLK)	差分 100ohm $\pm 10\%$
PCIe 与其它信号间距 (airgap)	建议大于等于 5 倍 PCI-E 线宽, 至少要 4 倍 PCI-E 线宽
各信号所允许过孔数量	建议不超过 2 个

6 注意事项

防护:

- 拆封开发板包装和安装前，为避免静电释放（ESD）对开发板硬件造成损伤，请采取必要防静电措施。
- 在运输模组时，必须使用专用的防静电包装袋；
- 手持开发板时请拿开发板边沿，不要触碰到开发板上的外露金属部分，以免静电对开发板元器件造成损坏。
- 请将开发板放置于干燥的平面上，以保证它们远离热源、电磁干扰源与辐射源、电磁辐射敏感设备（如：医疗设备）等。

电源安全:

- 模组不支持带电插拔操作；
- 确认输入电压值是否在设备额定电压范围内；